



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08212170 A**(43) Date of publication of application: **20.08.96**

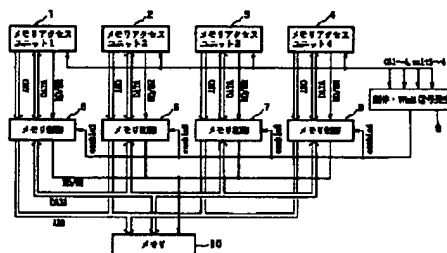
(51) Int. Cl.

G06F 15/16(21) Application number: **07014972**(71) Applicant: **CANON INC**(22) Date of filing: **01.02.95**(72) Inventor: **TAKADA TSUTOMU****(54) DEVICE AND METHOD FOR CONTROLLING MEMORY****(57) Abstract:**

PURPOSE: To prevent the memory access operation in which a low-priority memory access unit form being kept waited continuously.

CONSTITUTION: Concerning a multiprocessor system in which plural memory access units 1-4 are connected through a common memory 10, when these plural memory access units 104 simultaneously perform access to the memory 10, the access is permitted to the other unit in the waiting state longer than fixed time even on the conditions that the memory access unit having the high priority in the case of arbitration performs the access of burst data, and a memory access request signal from the high-priority memory access unit is forcedly made inactive.

COPYRIGHT: (C)1996,JPO



THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-212170

(43) 公開日 平成8年(1996)8月20日

(51) Int.Cl.⁶

G 0 6 F 15/16

識別記号

3 5 0 W

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平7-14972

(22) 出願日 平成7年(1995)2月1日

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 高田 力

東京都大田区下丸子3丁目30番2号 キヤ

ノン株式会社内

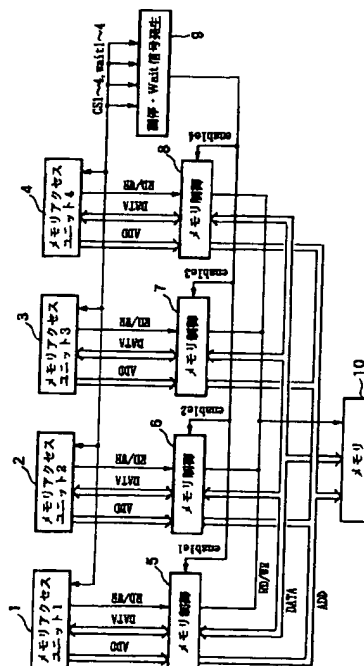
(74) 代理人 弁理士 大塚 康徳 (外1名)

(54) 【発明の名称】 メモリ制御装置及びその方法

(57) 【要約】

【目的】 優先順位の低いメモリアクセスユニットのメモリアクセス動作が待たされ続けることを回避する。

【構成】 複数のメモリアクセスユニット1~4が共有のメモリ10を介して結合しているマルチプロセッサシステムにおいて、これら複数のメモリアクセスユニット1~4が同時にメモリ10にアクセスした場合、その中で、調停の際の優先順位の高いメモリアクセスユニットがバーストデータのアクセスを行なったとしても、一定時間以上待ち状態にある他のユニットにアクセスを許可し、優先順位の高いメモリアクセスユニットからのメモリアクセス要求信号を強制的にインアクティブにする。



【特許請求の範囲】

【請求項1】 共有メモリを介して複数のメモリアクセスユニットが結合される形態をとるマルチプロセッサシステムにおけるメモリ制御装置において、

前記複数のメモリアクセスユニットからの複数のメモリアクセス要求が同時に出力されているか否かを検出する手段と、

前記複数のメモリアクセス要求が同時に出力されている場合、第1の優先順位を有する第1のメモリアクセスユニットにメモリアクセスを許可する手段と、

前記複数のメモリアクセス要求が同時に出力されている場合、前記第1のメモリアクセスユニット以外のメモリアクセスユニットを待ち状態にする手段と、

前記メモリアクセスの許可後、カウンタでの計数を開始する手段と、

前記カウンタでの計数が所定値に達した場合、前記第1のメモリアクセスユニットによるメモリアクセスを停止状態にする手段と、

前記カウンタでの計数が所定値に達した場合、前記待ち状態にあるメモリアクセスユニットの内、前記第1の優先順位に続く優先順位を有する第2のメモリアクセスユニットに対してメモリアクセスを許可する手段とを備え、

前記第2のメモリアクセスユニットによるメモリアクセス終了後、前記第1のメモリアクセスユニットによるメモリアクセスを再開することを特徴とするメモリ制御装置。

【請求項2】 前記メモリアクセスは、所定のメモリサイクルに従って行なわれることを特徴とする請求項1に記載のメモリ制御装置。

【請求項3】 共有メモリを介して複数のメモリアクセスユニットが結合される形態をとるマルチプロセッサシステムにおけるメモリ制御方法において、前記複数のメモリアクセスユニットからの複数のメモリアクセス要求が同時に出力されているか否かを検出する工程と、

前記複数のメモリアクセス要求が同時に出力されている場合、第1の優先順位を有する第1のメモリアクセスユニットにメモリアクセスを許可する工程と、

前記複数のメモリアクセス要求が同時に出力されている場合、前記第1のメモリアクセスユニット以外のメモリアクセスユニットを待ち状態にする工程と、

前記メモリアクセスの許可後、カウンタでの計数を開始する工程と、

前記カウンタでの計数が所定値に達した場合、前記第1のメモリアクセスユニットによるメモリアクセスを停止状態にする工程と、

前記カウンタでの計数が所定値に達した場合、前記待ち状態にあるメモリアクセスユニットの内、前記第1の優先順位に続く優先順位を有する第2のメモリアクセスユニットに対してメモリアクセスを許可する工程と、

前記第2のメモリアクセスユニットによるメモリアクセス終了後、前記第1のメモリアクセスユニットによるメモリアクセスを再開する工程とを備えることを特徴とするメモリ制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、メモリ結合型マルチプロセッサシステムのメモリ制御装置及びその方法に関するものである。

【0002】

【従来の技術】近年、デジタル複写機やファクシミリ装置などの画像通信端末では、画像処理の処理パワーを得るため、共有メモリを用いたメモリ結合型マルチプロセッサ制御の形態をとるものがある。

【0003】従来のメモリ結合マルチプロセッサシステムにおいては、メモリに接続される複数のメモリアクセスユニットから、それぞれアドレス信号(ADD)とデータ信号(DATA)、及び読み出し/書き込み制御信号(RD/WR)が、各メモリアクセスユニットに対応するメモリ制御部に入力される。

【0004】調停部には、各メモリアクセスユニットからのメモリアクセス要求信号(CS)が入力され、また、この調停部より各メモリアクセスユニットにWait信号を返される。

【0005】ここで、複数のメモリアクセスユニットが同時にメモリにアクセスしようとした場合、調停部は、複数のメモリアクセス要求信号(CS)を調停し、優先順位の高いメモリアクセスユニットにメモリアクセス許可信号(Enable)を出す。そして、そのメモリアクセスユニットに対応するメモリ制御部が、メモリの制御を行なう。なお、ここで、他のメモリアクセスユニットに対しては、調停部よりWait信号を返して、次のメモリサイクルまでに待たせる。

【0006】従来の調停部における制御の優先順位は、例えば、複数のメモリアクセスユニットをメモリアクセスユニット1、2、3、4とした場合、この順に常に固定されている。

【0007】つまり、メモリアクセスユニット1からのメモリアクセス要求信号(CS1)の優先順位が最も高いため、他のメモリアクセスユニットから同時にメモリアクセス要求信号がきたとしても、それらを無視してメモリアクセス許可信号(Enable1)を出力する構成をとっている。

【0008】また、メモリアクセスユニット2からのメモリアクセス要求信号(CS2)は、CS1がアクティブでないことを条件としてメモリアクセス許可信号(Enable2)を出している。さらに、メモリアクセスユニット3、4についても同様に、自分より優先順位の高いメモリアクセスユニットがメモリアクセス要求信号を出していないことを条件としてメモリアクセス許可信

号を出すようにしている。

【0009】さらに、メモリアクセスユニットに返すWait信号を作るためのゲート回路では、メモリアクセス要求信号Wait信号をアクティブにして、アクセス可能となったことを示すメモリアクセス許可信号がアクティブになったところでインアクティブに戻る。つまり、一度、アクセスしようとしたメモリアクセスユニットは、アクセス可能となるまでWait信号をアクティブ状態にしている。

【0010】

【発明が解決しようとする課題】しかしながら、上記従来の制御方法では、優先順位の低いメモリアクセスユニットは、優先順位の低いメモリアクセスユニットより先にメモリにアクセスできるような構成をとっているため、優先順位の低いメモリアクセスユニットが、例えば、画像データ処理等でバーストデータアクセスをした場合、優先順位の低いメモリアクセスユニットは、いつまでもメモリにアクセスできず、Wait状態が継続されてしまうという問題がある。

【0011】本発明は、上述の課題に鑑みてなされたもので、その目的とするところは、優先順位の低いメモリアクセスユニットのメモリアクセス動作が待たされ続けることを回避できるメモリ制御装置及びその方法を提供することである。

【0012】

【課題を解決するための手段】及び

【作用】上記の目的を達成するため、本発明は、共有メモリを介して複数のメモリアクセスユニットが結合される形態をとるマルチプロセッサシステムにおけるメモリ制御装置において、前記複数のメモリアクセスユニットからの複数のメモリアクセス要求が同時に出力されているか否かを検出する手段と、前記複数のメモリアクセス要求が同時に出力されている場合、第1の優先順位を有する第1のメモリアクセスユニットにメモリアクセスを許可する手段と、前記複数のメモリアクセス要求が同時に出力されている場合、前記第1のメモリアクセスユニット以外のメモリアクセスユニットを待ち状態にする手段と、前記メモリアクセスの許可後、カウンタでの計数を開始する手段と、前記カウンタでの計数が所定値に達した場合、前記第1のメモリアクセスユニットによるメモリアクセスを停止状態にする手段と、前記カウンタでの計数が所定値に達した場合、前記待ち状態にあるメモリアクセスユニットの内、前記第1の優先順位に続く優先順位を有する第2のメモリアクセスユニットに対してメモリアクセスを許可する手段とを備え、前記第2のメモリアクセスユニットによるメモリアクセス終了後、前記第1のメモリアクセスユニットによるメモリアクセスを再開する。

【0013】以上の構成において、優先順位の低いメモリアクセスユニットでも、メモリアクセス動作が待たさ

れ続けることを防止するよう機能する。。

【0014】

【実施例】以下、添付図面を参照して、本発明に係る好適な実施例を詳細に説明する。

【0015】図1は、本発明の実施例に係るメモリ結合マルチプロセッサシステムの構成を示すブロック図である。同図に示すように、メモリアクセスユニット1~4（符号1~）から、それぞれアドレス信号（ADD）とデータ信号（DATA）、及び読み出し/書き込み制御信号（RD/WR）が、各メモリアクセスユニットに対応するメモリ制御部5~8に入力される。

【0016】また、各メモリアクセスユニット1~4からのメモリアクセス要求信号（CS）が調停部・Wait信号発生回路9に入力され、調停部・Wait信号発生回路9より、各メモリアクセスユニットにWait信号が返される。

【0017】そして、調停部・Wait信号発生回路9からメモリアクセス許可信号（Enable）を受けた、各メモリアクセスユニットに対応するメモリ制御部5~8が、これら複数のメモリアクセスユニットにて共有されるメモリ10の制御を行なう、という構成をとる。

【0018】図2は、本実施例に係るシステムを構成する調停部・Wait信号発生回路の周辺回路を示す図である。同図において、ゲート21~24は、メモリアクセスユニットから出力されるStop信号を検出するためのStop信号検出用ゲート、ゲート25~28は、メモリアクセス要求信号（CS）のマスク用ゲートである。

【0019】ここでは、調停部・Wait信号発生回路9は、後述するように、調停及びWait信号の発生を行ない、カウンタ20は、この調停部・Wait信号発生回路9からのWait信号の発生期間をカウントする。

【0020】なお、図3は、調停部・Wait信号発生回路9の内部構成を示すブロック図である。同図において、ゲート39~41は調停用ゲートであり、42~45はDフリップフロップである。

【0021】そこで、本実施例に係るシステムの動作について、メモリアクセスユニット1がバースト的にメモリにアクセスし、メモリアクセスユニット2がメモリアクセスを待たされている場合を例にとり、図4に示す動作タイミングチャートを参照して説明する。

【0022】すなわち、メモリアクセスユニット1は、バースト的にメモリ10にアクセスしているため、調停部・Wait信号発生回路9では、メモリアクセスの度にメモリアクセスユニット1のEnable1信号を出す。そのとき、メモリアクセスユニット2がメモリ10にアクセスしようとした場合、調停部・Wait信号発生回路9は、メモリアクセスユニット2に対して、直ち

にEnable 2信号を出さず、それをWait状態にする(図4のタイミングt1)。

【0023】カウンタ20は、上記のタイミングt1から、Wait 2信号がWait状態になっている期間のカウンタを開始し、あらかじめ決めた一定期間、Wait状態が続いた場合、タイミングt2において、Stop 2信号をアクティブにする。

【0024】図2に示すゲート21は、上記のようにStop 2信号がアクティブになったことを検出して、CSマスク用の信号を出力し、また、ゲート25は、CS 1信号を強制的にインアクティブにする(図4のタイミングt2における「アクセス停止」に対応する)。これにより、次のメモサイクル(図4では、タイミングt2とt3の間)において、メモリアクセスユニット2がメモリ10にアクセスできるようになる。

【0025】そして、上述した、あらかじめ決めた一定期間が経過すると、すなわち、カウンタ20におけるカウンタ値が一定値に達した場合、タイミングt3で、Wait 2信号はインアクティブになり、カウンタ20がリセットされることによってStop 2信号が解除される。

【0026】その結果、上記のタイミングt3でCS 1信号がアクティブになり、このタイミングt3、すなわち、図4において「アクセス再開」と記した時点から、メモリアクセスユニット1がメモリ10へのアクセスを再度、開始する。

【0027】以上説明したように、本実施例によれば、複数のメモリアクセスユニットが共有のメモリを介して結合しているマルチプロセッサシステムにおいて、複数のメモリアクセスユニットが同時にメモリにアクセスして、その中で調停の際の優先順位の高いメモリアクセスユニットがバーストデータのアクセスを行なったとしても、そのメモリアクセスユニットからのメモリアクセス要求信号を強制的にインアクティブにする回路を設けることにより、優先順位の低いメモリアクセスユニットに対してメモリのアクセスを許可でき、優先順位の低いメモリアクセスユニットのWait状態が続いてしまうという状態を回避できる。

【0028】特に、画像データ処理等で生じるバーストデータアクセス時におけるメモリアクセス調停を円滑に行なうことができる。

【0029】なお、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器から成る装置に適用しても良い。また、本発明は、システムあるいは装置にプログラムを供給することによって達成される場合にも適用できることは言うまでもない。

【0030】

【発明の効果】以上説明したように、本発明によれば、複数のメモリアクセスユニットが同時にアクセスし、優先順位の高いメモリアクセスユニットがアクセス中、一定時間待ち状態にある優先順位の低いメモリアクセスユニットにアクセスを許可することで、低優先順位のユニットの待ち状態が続くことを解消できる、という効果がある。

【0031】

【図面の簡単な説明】

【図1】本発明の実施例に係るメモリ結合マルチプロセッサシステムの構成を示すブロック図である。

【図2】実施例に係るシステムを構成する調停部・Wait信号発生回路の周辺回路を示す図である。

【図3】調停部・Wait信号発生回路9の内部構成を示すブロック図である。

【図4】実施例に係るシステムの動作を表わすタイミングチャートである。

【符号の説明】

1～4 メモリアクセスユニット1～4

5～8 メモリ制御部

9 調停・Wait信号発生回路

10 メモリ

20 カウンタ

21～24 Stop信号検出用ゲート

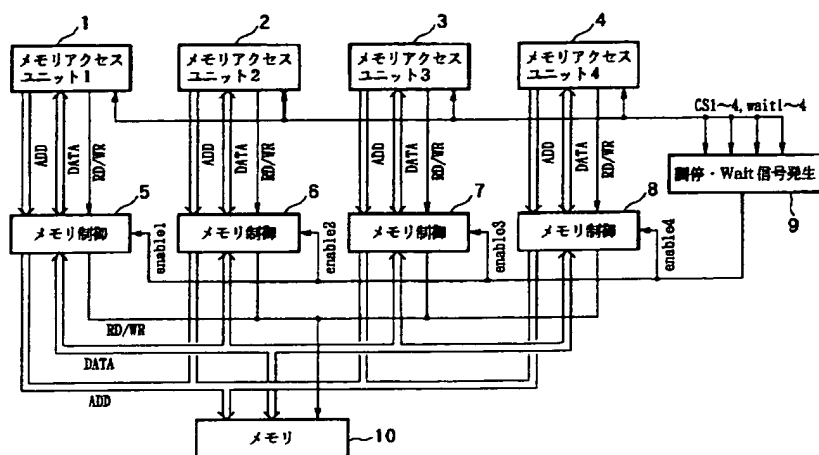
25～28 /CS信号マスク用ゲート

35～38 Wait信号生成用ゲート

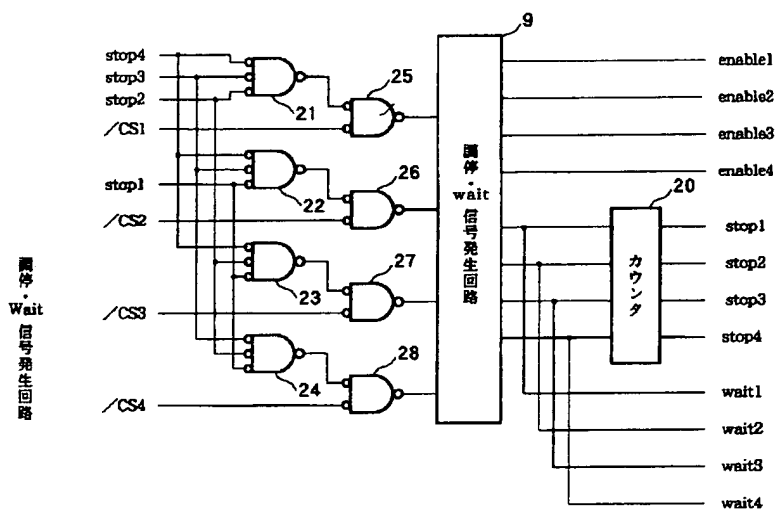
39～41 調停用ゲート

42～45 Dフリップフロップ

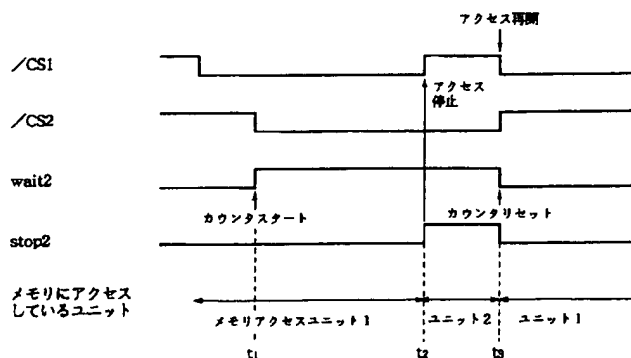
【図1】



【図2】



【図4】



【図3】

